

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

L7 ANSWER 1 OF 1 JAPIO (C) 2003 JPO on STN

AN 1999-233744 JAPIO
 TI NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR DRIVING
 THE SAME
 IN TAKAHASHI KEITA
 PA MATSUSHITA ELECTRON CORP
 PI JP 11233744 A 19990827 Heisei
 AI JP 1998-340761 (JP10340761 Heisei) 19981130
 PRAI JP 1997-342638 19971212
 SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol.
 1999

AN 1999-233744 JAPIO
 AB PROBLEM TO BE SOLVED: To read data at a high speed under low
 voltage by connecting a plurality of memory cells included in a column
 with a first source line, connecting of a plurality of memory cells
 included in a neighboring column with a second source line, and by
 making the first source line electrically independent from the second
 source line.

SOLUTION: A source line SL1 corresponds to a column including M11
 to M14, a source line SL2 corresponds to a column including M21 to M24,
 a source line SL3 corresponds to a column including M31 to M34, and a
 source line SL4 corresponds to a column including M41 to M44. That is,
 in a non-volatile semiconductor memory device 10, a memory cell of one
 column does not share a source line with a memory cell of the other
 column. Further, an element-separating region and a bit line contact
 are provided, and the element-separating region is positioned between
 the source line SL2 and the source line SL3, whereby neighboring source
 lines are electrically independent.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233744

(43) 公開日 平成11年(1999) 8月27日

(51) Int. Cl.⁶

識別記号

F 1

H 0 1 L 27/115

H 0 1 L 27/10

4 3 4

G 1 1 C 17/12

G 1 1 C 17/00

3 0 4 B

16/04

6 2 2 A

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

審査請求 未請求 請求項の数12 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平10-340761

(71) 出願人 000005843

松下電子工業株式会社

(22) 出願日 平成10年(1998) 11月30日

大阪府高槻市幸町1番1号

(31) 優先権主張番号 特願平9-342638

(72) 発明者 高橋 桂太

(32) 優先日 平9 (1997) 12月12日

大阪府高槻市幸町1番1号 松下電子工業

(33) 優先権主張国 日本 (J P)

株式会社内

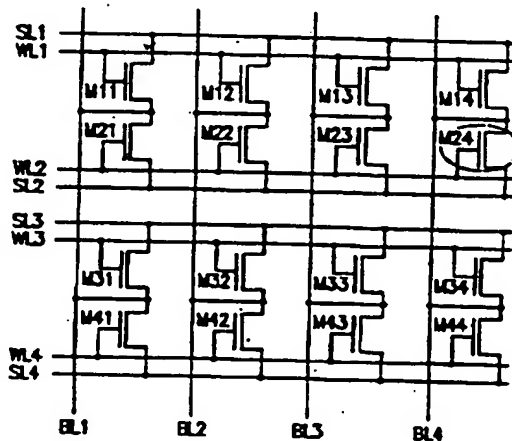
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 不揮発性半導体記憶装置およびその駆動方法

(57) 【要約】

【課題】 低電圧においても十分なオン状態のメモリセル読み出し電流を確保することができ、低電圧下での高速読み出しを可能とする不揮発性半導体記憶装置およびその駆動方法を提供する。

【解決手段】 本発明の不揮発性半導体記憶装置は、半導体基板の上に、マトリクス状に配置された複数のメモリセルと、行方向に延びる複数のワード線と、前記行方向に延びる複数のソース線と、列方向に延びる複数のビット線とを備えた不揮発性半導体記憶装置であって、ある行に属する複数のメモリセルが、前記複数のソース線のうちの第1のソース線と接続され、前記ある行と隣接する行に属する複数のメモリセルが、前記複数のソース線のうちの第2のソース線と接続され、前記第1のソース線は、前記第2のソース線と電気的に独立している。



【特許請求の範囲】

【請求項1】 半導体基板の上に、マトリクス状に配置された複数のメモリセルと、行方向に延びる複数のワード線と、該行方向に延びる複数のソース線と、列方向に延びる複数のビット線とを備えた不揮発性半導体記憶装置であって、

ある行に属する複数のメモリセルが、該複数のソース線のうちの第1のソース線と接続され、

該ある行と隣接する行に属する複数のメモリセルが、該複数のソース線のうちの第2のソース線と接続され、

該第1のソース線は、該第2のソース線と電気的に独立している不揮発性半導体記憶装置。

【請求項2】 前記第1のソース線は、前記第2のソース線と素子分離領域により絶縁されている請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 半導体基板の上に、マトリクス状に配置された複数のメモリセルと、行方向に延びる複数のワード線と、該行方向に延びる複数のソース線と、列方向に延びる複数のビット線とを備えた不揮発性半導体記憶装置であって、

ある列に属する複数のメモリセルのうちの第1の組が、該複数のビット線のうちの第1のビット線と接続され、

該ある列に属する複数のメモリセルのうちの第2の組が、該複数のビット線のうちの第2のビット線と接続され、

該第1のビット線は、該第2のビット線と電気的に独立している不揮発性半導体記憶装置。

【請求項4】 前記第1の組が前記第2の組と前記列方向で隣接している請求項3に記載の不揮発性半導体記憶装置。

【請求項5】 前記複数のメモリセルのそれぞれは、ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタである請求項1～4のうちの1つに記載の不揮発性半導体記憶装置。

【請求項6】 前記複数のメモリセルのそれぞれは、制御ゲート電極、浮遊ゲート電極、ドレイン領域およびソース領域を備えた浮遊ゲート電極型MOSトランジスタである請求項1～4のうちの1つに記載の不揮発性半導体記憶装置。

【請求項7】 前記複数のメモリセルのうち、低い方のしきい値電圧を有するメモリセルが、デアレッション状態である請求項1～6のうちの1つに記載の不揮発性半導体記憶装置。

【請求項8】 前記不揮発性半導体記憶装置は、前記行方向に延びる複数の第1導電型のウェルを備え、前記複数のメモリセルの1つは、該複数の第1導電型のウェルの1つ上に、ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタであり、

該複数の第1導電型のウェルのそれぞれが電気的に独立

している請求項1または2に記載の不揮発性半導体記憶装置。

【請求項9】 前記不揮発性半導体記憶装置は、前記行方向に延びる複数の第1導電型のウェルを備え、前記複数のメモリセルの1つは、該複数の第1導電型のウェルの1つ上に、制御ゲート電極、浮遊ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタであり、

該複数の第1導電型のウェルのそれぞれが電気的に独立している請求項1または2に記載の不揮発性半導体記憶装置。

【請求項10】 前記複数のメモリセルの中から選択されたメモリセルに記憶されている情報を読み出す不揮発性半導体記憶装置の駆動方法であって、

該選択されたメモリセルに対応するビット線に、前記半導体基板に対して逆バイアスとなる極性の第1の電圧を印加する工程と、

該選択されたメモリセルに対応するワード線に該第1の電圧と同一極性の第2の電圧を印加する工程と、

該選択されたメモリセル以外のメモリセルに対応するソース線に該第1の電圧と同一極性の第3の電圧を印加する工程と、

該選択されたメモリセルに対応するソース線に該半導体基板の電位を印加する工程とを包含する請求項1～4のうちの1つに記載の不揮発性半導体記憶装置の駆動方法。

【請求項11】 前記第1の電圧と前記第3の電圧とはほぼ同一電圧である請求項10に記載の不揮発性半導体記憶装置の駆動方法。

【請求項12】 前記複数のメモリセルの中から選択されたメモリセルに記憶されている情報を読み出す不揮発性半導体記憶装置の駆動方法であって、

該選択されたメモリセルに対応するビット線に、前記半導体基板に対して逆バイアスとなる極性の第1の電圧を印加する工程と、

該選択されたメモリセルに対応するワード線に該第1の電圧と同一極性の第2の電圧を印加する工程と、

該選択されたメモリセルが属していない第1導電型のウェルに該第1の電圧と逆極性の第3の電圧を印加する工程と、

該選択されたメモリセルが属している第1導電型のウェルに接地電位を印加する工程とを包含する請求項8または9に記載の不揮発性半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性半導体記憶装置、特にマスク型および浮遊ゲート電極型の不揮発性半導体記憶装置およびその駆動方法に関するものである。

【0002】

【従来の技術】近年、低電圧で高速に動作する不揮発性半導体記憶装置が利用されるようになってきている。このような不揮発性半導体記憶装置を広く提供するために、低電圧で高速動作が可能な不揮発性半導体記憶装置、ならびにこの不揮発性半導体記憶装置の駆動方法が求められている。

【0003】以下、従来の不揮発性半導体記憶装置500を、図15、図16および図17を用いて説明する。

【0004】不揮発性半導体記憶装置500は、複数のメモリセルがビット線に並列に接続される形式をとっているため、NOR型と呼ばれるメモリセルアレイ構造を有している。

【0005】図15は、従来の不揮発性半導体記憶装置500のメモリセルアレイ構成を示す模式図である。

【0006】図15に示す不揮発性半導体記憶装置500は、MOSTランジスタからなるメモリセルM11～M44、ワード線WL1～WL4、ソース線SL1～SL3、およびビット線BL1～BL4を備えている。

【0007】不揮発性半導体記憶装置500は、図15に示すように、メモリセルM24のゲートがワード線WL2に接続され、メモリセルM24のソースがソース線SL2に接続され、メモリセルM24のドレインがビット線BL4に接続されている。不揮発性半導体記憶装置500では、メモリセルM21～M24が属する行のメモリセルは、メモリセルM31～M34が属する行のメモリセルとソース線SL2を共有している。なお、メモリセルM11～M14が属する行のメモリセルは、それに対向する行のメモリセル（図示されず）とソース線SL1を共有している。また、ソース線SL3についても、同様である。

【0008】図16は、図15に示す不揮発性半導体記憶装置500のパターンレイアウトを示す模式的平面図である。

【0009】図16に示すように、不揮発性半導体記憶装置500は、さらに、素子分離領域5とビット線コンタクト6を備えている。

【0010】以下、従来の不揮発性半導体記憶装置500に情報を書き込む方法および消去方法を図17を用いて説明する。

【0011】図17は、不揮発性半導体記憶装置500におけるメモリセルのしきい値電圧分布図（複数メモリセル）である。なお、図17において、横軸はメモリセルのしきい値電圧 V_{TH} を示し、縦軸はメモリセルの個数を示している。

【0012】ここでは、不揮発性半導体記憶装置500は、2種類の異なるしきい値電圧を有するN型MOSTランジスタからなるマスクROMとする。

【0013】消去状態（図17中の“E”状態）とは、N型MOSTランジスタが、エンハンスメント状態である1V程度のしきい値電圧（低い方のしきい値電圧）に

設定されることを意味し、消去状態はメモリアレイ全体のメモリセルのチャネル部に対するイオン注入法により制御される。

【0014】また、書き込み状態（図17中の“W”状態）とは、選択されたN型MOSTランジスタのチャネル部に対してのみ、さらにイオン注入を追加することにより、電源電圧 V_{DD} よりも高いエンハンスメント状態である4V程度のしきい値電圧（高い方のしきい値電圧）が設定される。

【0015】以下、従来の不揮発性半導体記憶装置500から情報を読み出す方法を、図15を用いて説明する。

【0016】図15中に破線で囲んだメモリセルM24が選択される場合は、半導体基板電位を接地電位（0V）として、ワード線WL2を3Vとし、ビット線BL4を1Vとする。また、他のワード線WL1、WL3、WL4、ソース線SL1、SL2、SL3、他のビット線BL1、BL2、BL3を0V、あるいはOPEN状態とする。なお、図15のメモリセルアレイが配置されている半導体基板は接地電位に固定されていて、他の部分への電圧を印加する際の基準電位となっている。

【0017】もし、メモリセルM24が消去状態であれば、しきい値電圧が0.5V程度であるので、メモリセルM24がオン状態となり、ビット線BL4にメモリセル読み出し電流が流れる。一方、メモリセルM24が書き込み状態であれば、しきい値電圧が4V程度であるので、メモリセルM24がオフ状態となり、ビット線BL4にメモリセル読み出し電流は流れない。この電流量をセンスアンプで検知することにより、読み出し動作が行われる。

【0018】なお、上述したように、選択されたメモリセルM24に流れるメモリセル読み出し電流量を用いて、メモリセルM24に格納された情報の読み出し動作が行われるため、選択されたメモリセルM24と同一のビット線BL4に接続される非選択のメモリセル（M14、M34、M44）から流れる電流を、ほぼゼロに抑える必要がある。そのためには、これらの非選択メモリセルのしきい値電圧を約0.5V以上に設定しなければならない。

【0019】

【発明が解決しようとする課題】しかしながら、従来の不揮発性半導体記憶装置500およびその書き換え方法では、消去状態のメモリセルのしきい値電圧、つまり低い方のしきい値電圧を約0.5V以上に設定していることから、不揮発性半導体記憶装置500を低電圧（低い電源電圧）で動作させると、読み出し時に消去状態（オン状態）のメモリセル読み出し電流が少なくなり、高速に読み出すことが困難になるという問題があった。

【0020】本発明は、上記問題を鑑み、低電圧においても十分なオン状態のメモリセル読み出し電流を確保す

ることができ、低電圧下での高速読み出しを可能とする不揮発性半導体記憶装置およびその駆動方法を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、半導体基板の上に、マトリクス状に配置された複数のメモリセルと、行方向に延びる複数のワード線と、前記行方向に延びる複数のソース線と、列方向に延びる複数のビット線とを備えた不揮発性半導体記憶装置であって、ある行に属する複数のメモリセルが、前記複数のソース線のうちの第1のソース線と接続され、前記ある行と隣接する行に属する複数のメモリセルが、前記複数のソース線のうちの第2のソース線と接続され、前記第1のソース線は、前記第2のソース線と電気的に独立し、そのことにより上記目的が達成される。

【0022】前記第1のソース線は、前記第2のソース線と素子分離領域により絶縁されてもよい。

【0023】本発明の他の不揮発性半導体記憶装置は、半導体基板の上に、マトリクス状に配置された複数のメモリセルと、行方向に延びる複数のワード線と、前記行方向に延びる複数のソース線と、列方向に延びる複数のビット線とを備えた不揮発性半導体記憶装置であって、ある列に属する複数のメモリセルのうちの第1の組が、前記複数のビット線のうちの第1のビット線と接続され、前記ある列に属する複数のメモリセルのうちの第2の組が、前記複数のビット線のうちの第2のビット線と接続され、前記第1のビット線は、前記第2のビット線と電気的に独立し、そのことにより上記目的が達成される。

【0024】前記第1の組が前記第2の組と前記列方向で隣接していてもよい。

【0025】前記複数のメモリセルのそれぞれは、ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタであってもよい。

【0026】前記複数のメモリセルのそれぞれは、制御ゲート電極、浮遊ゲート電極、ドレイン領域およびソース領域を備えた浮遊ゲート電極型MOSトランジスタであってもよい。

【0027】前記複数のメモリセルのうち、低い方のしきい値電圧を有するメモリセルが、デプレッション状態であってもよい。

【0028】前記不揮発性半導体記憶装置は、前記行方向に延びる複数の第1導電型のウェルを備え、前記複数のメモリセルの1つは、前記複数の第1導電型のウェルの1つ上に、ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタであり、前記複数の第1導電型のウェルのそれぞれが電気的に独立していてもよい。

【0029】前記不揮発性半導体記憶装置は、前記行方向に延びる複数の第1導電型のウェルを備え、前記複数の

のメモリセルの1つは、前記複数の第1導電型のウェルの1つ上に、制御ゲート電極、浮遊ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタであり、前記複数の第1導電型のウェルのそれぞれが電気的に独立していてもよい。

【0030】前記複数のメモリセル中から選択されたメモリセルに記憶されている情報を読み出す不揮発性半導体記憶装置の駆動方法であって、前記選択されたメモリセルに対応するビット線に、前記半導体基板に対して逆バイアスとなる極性の第1の電圧を印加する工程と、前記選択されたメモリセルに対応するワード線に前記第1の電圧と同一極性の第2の電圧を印加する工程と、前記選択されたメモリセル以外のメモリセルに対応するソース線に前記第1の電圧と同一極性の第3の電圧を印加する工程と、前記選択されたメモリセルに対応するソース線に前記半導体基板の電位を印加する工程とを包含してもよい。

【0031】前記第1の電圧と前記第3の電圧とがほぼ同一電圧であってもよい。

【0032】前記複数のメモリセル中から選択されたメモリセルに記憶されている情報を読み出してもよい。

【0033】前記選択されたメモリセルに対応するビット線に、前記半導体基板に対して逆バイアスとなる極性の第1の電圧を印加する工程と、前記選択されたメモリセルに対応するワード線に前記第1の電圧と同一極性の第2の電圧を印加する工程と、前記選択されたメモリセルが属していない第1導電型のウェルに前記第1の電圧と逆極性の第3の電圧を印加する工程と、前記選択されたメモリセルが属している第1導電型のウェルに接地電位を印加する工程とを包含してもよい。

【0034】以下、作用を説明する。

【0035】本発明は、選択するメモリセルのしきい値電圧の下限としてデプレッション型を許容し、選択するメモリセルと同一ビット線にある非選択のメモリセルのしきい値電圧の下限を、バックバイアス効果によりエンハンスメント型にするというものである。

【0036】本発明の不揮発性半導体記憶装置では、選択されたメモリセルのソース線の電位を非選択のメモリセルのソース線と異なる電位に設定できるアレイ構造、あるいは選択されたメモリセルのウェル線の電位を非選択のメモリセルのウェル線と異なる電位に設定できるアレイ構造を有する。

【0037】また、本発明の不揮発性半導体記憶装置における情報の書き込みおよび消去は、消去状態にあるメモリセルにおけるしきい値電圧の下限としてデプレッション状態を許容する。

【0038】また、複数のメモリセル中から選択されたメモリセルに記憶されている情報を読み出す不揮発性半導体記憶装置の駆動方法では、選択されたメモリセルのソース線を接地電位に、非選択メモリセルのソース線を

正電圧に設定するか、あるいは、選択されたメモリセルのウェル線を接地電位に、非選択メモリセルのウェル線を負電圧に設定する。

【0039】本発明の不揮発性半導体記憶装置では、非選択メモリセルのソース線に半導体基板に対して逆バイアスとなる電圧を印加することによるバックバイアス効果によって、非選択メモリセルのしきい値電圧を高くしている。このため、本発明の不揮発性半導体記憶装置では、メモリセルの低い方のしきい値電圧を、従来の不揮発性半導体記憶装置より低く設定することができ、低電圧においても十分なオン状態のメモリセルの読み出し電流量を確保できる。その結果、本発明の不揮発性半導体記憶装置は、低電圧下での高速読み出しを可能とする。

【0040】本発明の不揮発性半導体記憶装置では、メモリセルの低い方のしきい値電圧状態の少なくとも一部がデプレッション状態であるので、その状態における読み出し電流を多くすることができ、低電圧下での読み出し速度をさらに高めることができる。

【0041】本発明の、複数のメモリセル中から選択されたメモリセルに記憶されている情報を読み出す不揮発性半導体記憶装置の駆動方法は、非選択メモリセルのソース線に半導体基板に対して逆バイアスとなる電圧を印加することによるバックバイアス効果によって、非選択メモリセルのしきい値電圧を高くすることができる。したがって、本発明の駆動方法では、メモリセルの低い方のしきい値電圧を、従来の駆動方法より低く設定でき、低電圧においても十分なオン状態のメモリセルの読み出し電流量を確保できる。その結果、本発明の駆動方法は、低電圧下での高速読み出しを可能とする。

【0042】本発明の駆動方法では、バックバイアス効果が大きく、かつソース線から電流が流れないので、最も高速読み出し性能を高くできる。

【0043】本発明の他の不揮発性半導体記憶装置では、非選択メモリセルのウェル線に半導体基板に対して順バイアスとなる電圧を印加することによるバックバイアス効果によって、非選択メモリセルのしきい値電圧を高くしている。このため、本発明の他の不揮発性半導体記憶装置では、メモリセルの低い方のしきい値電圧を従来の不揮発性半導体記憶装置より低く設定でき、低電圧においても十分なオン状態のメモリセルの読み出し電流量を確保できる。その結果、本発明の他の不揮発性半導体記憶装置は、低電圧下での高速読み出しを可能とする。

【0044】本発明の他の不揮発性半導体記憶装置では、メモリセルの低い方のしきい値電圧状態の少なくとも一部がデプレッション状態であるので、その状態における読み出し電流を多くすることができ、低電圧下での読み出し速度をさらに高めることができる。

【0045】本発明の、複数のメモリセル中から選択されたメモリセルに記憶されている情報を読み出す不揮発

性半導体記憶装置の他の駆動方法は、非選択メモリセルのウェル線に半導体基板に対して順バイアスとなる電圧を印加することによるバックバイアス効果によって、非選択メモリセルのしきい値電圧を高くすることができる。したがって、本発明の他の駆動方法は、メモリセルの低い方のしきい値電圧を従来の駆動方法より低く設定でき、低電圧においても十分なオン状態のメモリセルの読み出し電流量を確保できる。その結果、本発明の他の駆動方法は、低電圧下での高速読み出しを可能とする。

【0046】

【発明の実施の形態】(第1の実施の形態)以下、本発明の第1の実施の形態について、図面を参照しながら説明する。

【0047】図1は、本発明の第1の実施の形態における不揮発性半導体記憶装置10のメモリセルアレイ構成の模式図である。

【0048】不揮発性半導体記憶装置10は、MOSTランジスタからなるメモリセルM11~M44、ワード線WL1~WL4、ソース線SL1~SL4、およびビット線BL1~BL4を備えている。

【0049】不揮発性半導体記憶装置10では、メモリセルM24のゲートがワード線WL2に接続され、メモリセルM24のソースがソース線SL2に接続され、メモリセルM24のドレインがビット線BL4に接続されている。

【0050】メモリセルM11~M14が属する行にソース線SL1が対応し、メモリセルM21~M24が属する行にソース線SL2が対応し、メモリセルM31~M34が属する行にソース線SL3が対応し、メモリセルM41~M44が属する行にソース線SL4が対応する。つまり、不揮発性半導体記憶装置10では、ある行のメモリセルは、他の行のメモリセルとソース線を共有していない。

【0051】図2は、不揮発性半導体記憶装置10のパターンレイアウトを示す模式的平面図である。すなわち、図2は、図1に示す不揮発性半導体記憶装置10のアレイ構造の一例を示している。また、図3は、図2に示す不揮発性半導体記憶装置10を線分A-Aで切断した場合における断面を示す図であり、図4は、図2に示す不揮発性半導体記憶装置10を線分B-Bで切断した場合における断面を示す図である。

【0052】なお、不揮発性半導体記憶装置10は、複数のメモリセルがビット線に並列に接続される形式をとっているため、NOR型と呼ばれるメモリセルアレイ構造を有している。

【0053】図2に示すように、不揮発性半導体記憶装置10は、さらに、素子分離領域5、素子分離領域5X、およびビット線コンタクト6a、6bを備えている。たとえば、素子分離領域5Xは、隣接した、ソース線SL2とソース線SL3の間に位置する。このため、

隣接したソース線は、電気的に独立している。素子分離領域5および素子分離領域5Xは、LOCOS (Local Oxidation of Silicon) や、STI (Shallow Trench Isolation) などで形成されるが、他の方法でもよい。

【0054】以下、不揮発性半導体記憶装置10に情報を書き込む方法および消去方法を、図5を用いて説明する。

【0055】図5は、不揮発性半導体記憶装置10におけるメモリセルのしきい値電圧分布図(複数メモリセル)である。なお、図5において、横軸はメモリセルのしきい値電圧 V_{TH} を示し、縦軸はメモリセルの個数を示している。

【0056】ここでは、不揮発性半導体記憶装置10は、2種類の異なるしきい値電圧を有するN型MOSTランジスタからなるマスクROMとする。

【0057】消去状態(図5中の"E"状態)とは、N型MOSTランジスタが、デプレッション状態である-1V程度のしきい値電圧(低い方のしきい値電圧)に設定されることを意味し、消去状態はメモリアレイ全体のメモリセルのチャネル部に対するイオン注入法により制御される。

【0058】また、書き込み状態(図5中の"W"状態)とは、選択されたN型MOSTランジスタのチャネル部に対してのみ、さらにイオン注入を追加することにより、電源電圧 V_{DD} よりも高いエンハンスメント状態である4V程度のしきい値電圧(高い方のしきい値電圧)が設定される。

【0059】以下、不揮発性半導体記憶装置10から情報を読み出す方法について、図6を用いて説明する。

【0060】図6は、不揮発性半導体記憶装置10から情報を読み出すためのフローチャートの一例を示す図である。

【0061】ステップS1では、選択されなかったソース線、つまり非選択のソース線に第1の電圧と同一極性の第3の電圧が印加される。なお、第1の電圧とは、後述するステップS3で、選択されたビット線に印加される電圧である。

【0062】ステップS2では、選択すべき任意のメモリセルに対応するソース線が選択される。具体的には、選択されたソース線には、半導体基板の電位とほぼ同一の電圧が印加される。

【0063】ステップS3では、前記任意のメモリセルに対応するビット線が選択される。具体的には、選択されたビット線には、半導体基板に対して逆バイアスとなる極性の第1の電圧が印加される。

【0064】ステップS4では、前記任意のメモリセルに対応するワード線が選択される。具体的には、選択されたワード線には、第1の電圧と同一極性の第2の電圧が印加される。

【0065】上述したステップにより、選択されたメモリセルから情報を読み出す際、非選択のメモリセルが低い方のしきい値電圧を持つ場合、低い方のしきい値電圧を持つ非選択のメモリセルがデプレッション型であっても、バックバイアス効果により、エンハンスメント型にすることができる。このため、選択されたメモリセルに接続されたビット線に、非選択メモリセルから流れるリーク電流を抑えることができる。

【0066】また、選択されたメモリセルが消去状態である場合、つまり、選択されたメモリセルが低い方のしきい値電圧を持つ場合、選択されたメモリセルをデプレッション状態に設定することができる。このため、選択されたメモリセルのゲートに印加される電圧としきい値電圧との電位差が大きくなり、選択されたメモリセルからの読み出し電流量を増やすことができる。

【0067】なお、本実施の形態では、処理はステップS1～ステップS4の順番に実行される必要はない。つまり、ステップS1～ステップS4が任意の順番で実行されても、本実施の形態は上述した効果を有する。

【0068】また、選択されたビット線に印加される第1の電圧と、非選択のソース線に印加される第3の電圧とがほぼ同一であってもよい。

【0069】以下、具体的な、不揮発性半導体記憶装置10のメモリセルM24から情報を読み出す方法を説明する。

【0070】図1および図2の中で、破線で囲んだメモリセルM24が選択される場合、半導体基板電位を接地電位(0V)として、ワード線WL2を3V(第2の電圧)とし、ビット線BL4を1V(第1の電圧)とする。また、他のワード線WL1、WL3、WL4および他のビット線BL1、BL2、BL3を0Vとし、ソース線SL2を0Vとする。さらに、他のソース線SL1、SL3、SL4を1V(第3の電圧)とする。なお、図には示していないが、メモリセルの属するウェルの電位は0Vとする。もし、メモリセルM24が消去状態であれば、しきい値電圧は-1V程度であるので、メモリセルM24がオン状態となり、ビット線BL4にメモリセル読み出し電流が流れる。この場合のメモリセルM24の読み出し電流は、従来の不揮発性半導体記憶装置が有するメモリセルのしきい値電圧が0.5Vである場合のものに比べて、多くなる。

【0071】一方、メモリセルM24が書き込み状態であれば、メモリセルM24のしきい値電圧は4V程度であるので、メモリセルM24がオフ状態となり、ビット線BL4にメモリセル読み出し電流は流れない。上述した電流量がセンスアンプで検知されることにより、読み出し動作が行われる。

【0072】本発明の第1の実施の形態では、バックバイアス効果を利用することにより、選択されたメモリセルM24と同一のビット線BL4に接続される非選択メ

メモリセルM14、M34、M44のしきい値電圧を約0.5V以上に設定することができる。すなわち、非選択メモリセルのソース線SL1、SL3、SL4に電圧1Vを印加することにより、たとえば、非選択メモリセルのしきい値電圧が-1Vであったとしても、バックバイアス効果により、非選択メモリセルのしきい値を約0.5V以上とすることができる。このため、非選択メモリセルから流れる電流を、ほぼゼロに抑えることができる。

【0073】非選択のメモリセルM14、M34、M44が低い方のしきい値電圧を有する場合、読み出し動作時に、非選択のメモリセルM14、M34、M44の低い方のしきい値電圧をバックバイアス効果によりエンハンスメント型にでき、選択されたメモリセルM24が接続されたビット線BL4に接続されている他の非選択メモリセルM14、M34、M44から流れるリーク電流を抑えられる。

【0074】また、選択されたメモリセルが消去状態である場合、消去状態のメモリセルのしきい値電圧（低い方のしきい値電圧）をデプレッション状態に設定することができる。このため、選択されたメモリセルにおけるオン状態の読み出し電流量が増加する。その結果、低電圧においても十分なオン状態のメモリセル読み出し電流を確保することができ、第1の実施の形態における不揮発性半導体記憶装置は、低電圧下での高速読み出しを可能とする。

【0075】以上のように、この実施の形態によれば、非選択メモリセルに接続されるソース線に半導体基板に対して逆バイアスとなる正電圧を印加することにより、消去状態にあるメモリセルのしきい値電圧、つまり低い方のしきい値電圧をデプレッション状態に設定できる。このため、選択されたメモリセルのゲートに印加される電圧が低電圧であっても、十分にオン状態のメモリセルの読み出し電流量を確保できる。その結果、選択されたメモリセルのゲートに印加される電圧が低電圧であったとしても、高速にメモリセルの情報の読み出しを可能とする。

【0076】なお、第1の実施の形態では、読み出し時に選択したビット線に印加する電圧と非選択のソース線に印加する電圧を同一電圧としたが、それらの電圧が異なる電圧であってもよい。ただし、非選択ソース線の電圧が選択したビット線に印加される電圧よりも低い場合には、バックバイアス効果が小さいため、また、逆の場合には、ソース線からの電流が流れるようになるため、本発明の効果が小さくなる。

【0077】（第2の実施の形態）以下、本発明の第2の実施の形態について、図面を参照しながら説明する。

【0078】図7は、本発明の第2の実施の形態における不揮発性半導体記憶装置20のメモリセルアレイ構成の模式的平面図である。図8は、不揮発性半導体記憶装置20

のパターンレイアウトを示す模式的平面図である。すなわち、図8は、図7に示す不揮発性半導体記憶装置20のアレイ構造の一例を示している。また、図9は、図8に示す不揮発性半導体記憶装置20を線分C-Cで切断した場合における断面を示す図であり、図10は、図8に示す不揮発性半導体記憶装置20を線分D-Dで切断した場合における断面を示す図である。なお、図10では、断面をD方向から見た場合、ビット線BL7は実際には見えないが、ビット線BL7がビット線コンタクト6bと接続されることが理解しやすいように、図示している。

【0079】不揮発性半導体記憶装置20は、MOSTランジスタからなるメモリセルM11～M64、ワード線WL1～WL6、ソース線SL1～SL4、およびビット線BL1～BL8を備えている。

【0080】さらに、不揮発性半導体記憶装置20は、素子分離領域5、ビット線コンタクト6a、6bを備えている。素子分離領域5は、LOCOSやSTIなどで形成されるが他の方法でもよい。なお、不揮発性半導体記憶装置20は、複数のメモリセルがビット線に並列に接続される形式をとっているため、NOR型と呼ばれるメモリセルアレイ構造を有している。

【0081】不揮発性半導体記憶装置20では、メモリセルM14のゲートがワード線WL1に接続され、メモリセルM14のソースがソース線SL1に接続され、メモリセルM14のドレインがビット線BL8に接続され、メモリセルM24のゲートがワード線WL2に接続され、メモリセルM24のソースがソース線SL2に接続され、メモリセルM24のドレインがビット線BL8に接続されている。

【0082】また、メモリセルM34のゲートがワード線WL3に接続され、メモリセルM34のソースがソース線SL2に接続され、メモリセルM34のドレインがビット線BL7に接続され、メモリセルM44のゲートがワード線WL4に接続され、メモリセルM44のソースがソース線SL3に接続され、メモリセルM44のドレインがビット線BL7に接続されている。

【0083】さらに、メモリセルM54のゲートがワード線WL5に接続され、メモリセルM54のソースがソース線SL3に接続され、メモリセルM54のドレインがビット線BL8に接続され、メモリセルM64のゲートがワード線WL6に接続され、メモリセルM64のソースがソース線SL4に接続され、メモリセルM64のドレインがビット線BL8に接続されている。

【0084】つまり、メモリセルM14～M64が属する列には、ビット線BL7、BL8が対応する。言い換えると、第1の組のメモリセルが第1のビット線に接続され、列方向つまり、第1のビット線が延びる方向で、第1の組のメモリセルに隣接する第2の組のメモリセルが第2のビット線に接続される。本実施の形態では、あ

る組に含まれるメモリセルは2つであり、そのある組に含まれる2つのメモリセルは、1つのビット線コンタクトを共有している。

【0085】たとえば、メモリセルM14とメモリセルM24が第1の組となり、それらのメモリセルM14、M24はビット線コンタクト6aを共有し、第1の組のメモリセルM14、M24はビット線コンタクト6aを介して第1のビット線BL8に接続されている。また、メモリセルM34とメモリセルM44が第2の組となり、第2の組は列方向で第1の組と隣接している。それらのメモリセルM34、M44はビット線コンタクト6bを共有し、第2の組のメモリセルM34、M44はビット線コンタクト6bを介して第2のビット線BL7に接続されている。

【0086】不揮発性半導体記憶装置20に情報を書き込む方法および消去方法は、不揮発性半導体記憶装置10と同じである。

【0087】以下、不揮発性半導体記憶装置20から情報を読み出す方法について、図11を用いて説明する。

【0088】図11は、不揮発性半導体記憶装置20から情報を読み出すためのフローチャートの一例を示す図である。

【0089】ステップS11では、選択されなかったソース線、つまり非選択のソース線に第1の電圧と同一極性の第3の電圧が印加される。なお、第1の電圧とは、後述するステップS13で、選択されたビット線に印加される電圧である。

【0090】ステップS12では、選択すべき任意のメモリセルに対応するソース線が選択される。具体的には、選択されたソース線には、半導体基板の電位とはほぼ同一の電圧が印加される。

【0091】ステップS13では、前記任意のメモリセルに対応するビット線が選択される。具体的には、選択されたビット線には、半導体基板に対して逆バイアスとなる極性の第1の電圧が印加される。

【0092】ステップS14では、前記任意のメモリセルに対応するワード線が選択される。具体的には、選択されたワード線には、第1の電圧と同一極性の第2の電圧が印加される。

【0093】上述したステップにより、選択されたメモリセルから情報を読み出す際、非選択のメモリセルが低い方のしきい値電圧を持つ場合、低い方のしきい値電圧を持つ非選択のメモリセルをエンハンスメント型にできる。このため、選択されたメモリセルに接続されたビット線に、非選択メモリセルから流れるリーク電流を抑えることができる。

【0094】また、選択されたメモリセルが消去状態である場合、つまり、選択されたメモリセルが低い方のしきい値電圧を持つ場合、選択されたメモリセルをデプレッション状態に設定することができる。このため、選択

されたメモリセルのゲートに印加される電圧としきい値電圧との電位差が大きくなり、選択されたメモリセルからの読み出し電流量を増やすことができる。

【0095】なお、本実施の形態では、処理はステップS11～ステップS14の順番に実行される必要はない。つまり、ステップS11～ステップS14が任意の順番で実行されても、本実施の形態は上述した効果を有する。

【0096】また、選択されたビット線に印加される第1の電圧と、非選択のソース線に印加される第3の電圧とがほぼ同一であってもよい。

【0097】以下、具体的な、不揮発性半導体記憶装置20のメモリセルM24から情報を読み出す方法を説明する。

【0098】図7および図8の中で、破線で囲んだメモリセルM24が選択される場合、半導体基板電位を接地電位(0V)として、ワード線WL2を3V(第2の電圧)とし、ビット線BL8を1V(第1の電圧)とする。また、他のワード線WL1、WL3～WL6および他のビット線BL1～BL7を0VあるいはOPEN状態とし、ソース線SL2を0Vとする。さらに、他のソース線SL1、SL3、SL4を1V(第3の電圧)とする。なお、図には示していないが、メモリセルの居るウェルの電位は0Vとする。もし、メモリセルM24が消去状態であれば、しきい値電圧は-1V程度であるので、メモリセルM24がオン状態となり、ビット線BL8にメモリセル読み出し電流が流れる。この場合のメモリセルM24の読み出し電流は、従来の不揮発性半導体記憶装置が有するメモリセルのしきい値電圧が0.5Vである場合のものに比べて、多くなる。

【0099】一方、メモリセルM24が書き込み状態であれば、メモリセルM24のしきい値電圧は4V程度であるので、メモリセルM24がオフ状態となり、ビット線BL8にメモリセル読み出し電流は流れない。上述した電流量がセンスアンプで検知されることにより、読み出し動作が行われる。

【0100】本発明の第2の実施の形態では、バックバイアス効果を利用することにより、選択されたメモリセルM24と同一のビット線BL8に接続される非選択メモリセルM14、M54、M64のしきい値電圧を約0.5V以上に設定することができる。

【0101】すなわち、非選択メモリセルのソース線SL1、SL3、SL4に電圧1Vを印加することにより、たとえば、非選択メモリセルのしきい値電圧が1Vであったとしても、バックバイアス効果により、非選択メモリセルのしきい値を約0.5V以上とすることができる。このため、非選択メモリセルから流れる電流を、ほぼゼロに抑えることができる。

【0102】また、選択されたメモリセルが消去状態である場合、消去状態のメモリセルのしきい値電圧(低い

方のしきい値電圧)をデプレッション状態に設定することができる。このため、選択されたメモリセルにおけるオン状態の読み出し電流量が増加する。その結果、低電圧においても十分なオン状態のメモリセル読み出し電流を確保することができ、第2の実施の形態における不揮発性半導体記憶装置は、低電圧下での高速読み出しを可能とする。

【0103】なお、第2の実施の形態では、読み出し時に選択したビット線に印加する電圧と非選択のソース線に印加する電圧を同一電圧としたが、それらの電圧が異なる電圧であってもよい。

(第3の実施の形態)以下、本発明の第3の実施の形態について、図面を参照しながら説明する。

【0104】図12は、本発明の第3の実施の形態における不揮発性半導体記憶装置30のメモリセルアレイ構成の模式図である。図13は、不揮発性半導体記憶装置30のパターンレイアウトを示す模式的平面図である。すなわち、図13は、図12に示す不揮発性半導体記憶装置30のアレイ構造の一例を示している。また、図14は、図13に示す不揮発性半導体記憶装置30を線分E-Eで切断した場合における断面を示す図である。

【0105】不揮発性半導体記憶装置30は、MOSTランジスタからなるメモリセルM11~M44、ワード線WL1~WL4、ソース線SL1~SL4、およびビット線BL1~BL4を備えている。

【0106】さらに、不揮発性半導体記憶装置30は、素子分離領域5A、5B、ビット線コンタクト6a、6b、およびウェル線WE1~WE4を備えている。素子分離領域5A、5Bは、LOCOSやSTIなどで形成されるが他の方法でもよい。

【0107】不揮発性半導体記憶装置30は、図12に示すように、メモリセルM11~M14が属する行のメモリセルにウェル線WE1が接続され、メモリセルM21~M24が属する行のメモリセルにウェル線WE2が接続され、メモリセルM31~M34が属する行のメモリセルにウェル線WE3が接続され、メモリセルM41~M44が属する行のメモリセルにウェル線WE4が接続される。つまり、ある行のメモリセルは、そのある行に対応するウェル線に接続される。ウェル線は、行毎に独立している。

【0108】また、不揮発性半導体記憶装置30は、図12に示すように、メモリセルM11~M14が属する行のメモリセルのソースにソース線SL1が接続され、メモリセルM21~M24が属する行のメモリセルのソースにソース線SL2が接続され、メモリセルM31~M34が属する行のメモリセルのソースにソース線SL3が接続され、メモリセルM41~M44が属する行のメモリセルのソースにソース線SL4が接続される。つまり、不揮発性半導体記憶装置30では、ある行のメモリセルは、他の行のメモリセルとソース線を共有してい

ない。

【0109】なお、同一ワード線および同一ソース線に接続された複数のメモリセルは、1つのウェル線を共有する。

【0110】以下、本発明の不揮発性半導体記憶装置30の読み出し方法について、図12を用いて説明する。

【0111】図13中に破線で囲んだメモリセルM14を選択する場合は、半導体基板電位を接地電位(0V)として、ワード線WL1を3V(第2の電圧)とし、ビット線BL4を1V(第1の電圧)とする。ウェル線WE1を0Vとし、他のワード線WL2、WL3、WL4を0Vとし、ソース線SL1~SL4を0Vとし、ビット線BL1~BL3を0Vとし、他のウェル線WE2~WE4を-3V(第3の電圧)とする。なお、少なくともウェル線WE1~WE4は、デコードによって制御される。

【0112】上述した第1および第2の実施の形態では、ソース線を利用したバックバイアス効果によって、非選択メモリセルのしきい値電圧を上げることができた。仮に、非選択メモリセルが低い方のしきい値電圧たとえば-1Vを有していたとしても、バックバイアス効果により、その低い方のしきい値電圧を約0.5V以上とすることができる。一方、第3の実施の形態では、ウェル線を利用して同様な効果を得ることができる。

【0113】上述したように、第3の実施の形態によれば、非選択メモリセルのウェル線に負電圧、つまり半導体基板に対して順バイアスとなる電圧を印加することにより、非選択メモリセルのしきい値電圧を上げることができる。つまり、非選択メモリセルが消去状態である場合、そのメモリセルのしきい値電圧をデプレッション状態に設定することができる。

【0114】その結果、不揮発性半導体記憶装置30におけるメモリセルのゲートに印加される電圧が低電圧であっても、メモリセルから情報を読み出すための読み出し電流量を十分に確保することができる。

【0115】なお、第1~第3の実施の形態では、マスクROMを用いて説明したが、2種の異なるしきい値電圧を用いて記憶する不揮発性半導体記憶装置である、浮遊ゲート電極型不揮発性半導体記憶装置に適用することもできる。この場合、回路的には、図1、図7、および図12に示すメモリセルが浮遊ゲート電極型のメモリセルに置き換えられるだけである。

【0116】また、第1~第3の実施の形態では、消去状態のしきい値電圧をデプレッション状態としたが、特に、デプレッション状態にする必要もない。従来の不揮発性半導体記憶装置では、非選択メモリセルのリーク電流を抑えるために消去状態のしきい値電圧を0.5V程度に設定する必要があった。しかしながら、本実施の形態では、非選択のメモリセルのリーク電流を低減できるため、消去状態のしきい値電圧を0.5Vよりも低く設

定することもできる。

【0117】用途によるが、たとえば、メモリセルの消去状態のしきい値電圧をデプレッション状態にまでしなくとも、例えば、0V程度に設定したい場合もあり得る。本発明は、このような場合にも適用される。

【0118】また、第1〜第3の実施の形態では、消去状態をしきい値電圧の低い方としたが、逆に書き込み状態をしきい値電圧の低い方に設定してもよい。

【0119】また、第1〜第3の実施の形態では、書き込み状態のしきい値電圧を電源電圧以上としたが、消去状態との差があればよいので、書き込み状態のしきい値電圧が電源電圧以下でもよい。

【0120】また、第1〜第3の実施の形態では、N型MOSトランジスタを用いて説明したが、P型MOSトランジスタを用いてもよい。

【0121】なお、第1の実施の形態と第2の実施の形態とを組み合わせて、本発明を実施してもよい。

【0122】本発明によれば、低しきい値電圧の状態をデプレッション状態にできるため、書き込み状態と消去状態のしきい値電圧の差を広げることが可能であり、浮遊ゲート電極型不揮発性半導体記憶装置に特有の、書き込み後もしくは消去後しきい値電圧のばらつきの問題や、多値しきい値電圧化への対応も容易となる。

【0123】また、本発明は、メモリセルに流れる電流の変化により記憶動作、すなわち読み出し動作を実施するメモリ全般に適用することができる。なお、マスクROMではビット線コンタクトの有無により情報を記憶する方法もあるが、その場合は、書き込み状態を無限に高いしきい値電圧と置き換えれば、本発明を適用することができる。

【0124】

【発明の効果】本発明によれば、同一ビット線上にあるメモリセルのソース線またはウェル線に加える電圧を独立して制御可能な構成を採用し、同一ビット線上にある非選択メモリセルのしきい値電圧をソース線またはウェル線に加える電圧を制御し、バックバイアス効果によりしきい値電圧を引き上げるようにしているため、低い方のしきい値電圧をデプレッション状態に設定でき、低電圧においてもメモリセル読み出し電流量が確保できるために、低電圧高速読み出し動作が可能な不揮発性半導体記憶装置を実現できる。

【0125】また、メモリセルの低い方のしきい値電圧状態の少なくとも一部をデプレッション状態とすると、その状態における読み出し電流を多くすることができ、低電圧下での読み出し速度をさらに高めることができる。

【0126】また、ビット線に印加する第1の電圧と非選択のソース線に印加する第3の電圧とをほぼ同一電圧に設定すると、バックバイアス効果が大きく、かつソー

ス線から電流が流れないので、最も高速読み出し性能を高くできる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における不揮発性半導体記憶装置10のメモリセルアレイ構成の模式図である。

【図2】不揮発性半導体記憶装置10のパターンレイアウトを示す模式的平面図である。

【図3】図2に示す不揮発性半導体記憶装置10を線分A-Aで切断した場合における断面を示す図である。

【図4】図2に示す不揮発性半導体記憶装置10を線分B-Bで切断した場合における断面を示す図である。

【図5】不揮発性半導体記憶装置10におけるメモリセルのしきい値電圧分布図（複数メモリセル）である。

【図6】不揮発性半導体記憶装置10から情報を読み出すためのフローチャートの一例を示す図である。

【図7】本発明の第2の実施の形態における不揮発性半導体記憶装置20のメモリセルアレイ構成の模式図である。

【図8】不揮発性半導体記憶装置20のパターンレイアウトを示す模式的平面図である。

【図9】図8に示す不揮発性半導体記憶装置20を線分C-Cで切断した場合における断面を示す図である。

【図10】図8に示す不揮発性半導体記憶装置20を線分D-Dで切断した場合における断面を示す図である。

【図11】不揮発性半導体記憶装置20から情報を読み出すためのフローチャートの一例を示す図である。

【図12】本発明の第3の実施の形態における不揮発性半導体記憶装置30のメモリセルアレイ構成の模式図である。

【図13】不揮発性半導体記憶装置30のパターンレイアウトを示す模式的平面図である。

【図14】図13に示す不揮発性半導体記憶装置30を線分E-Eで切断した場合における断面を示す図である。

【図15】従来の不揮発性半導体記憶装置500のメモリセルアレイ構成を示す模式図である。

【図16】図15に示す不揮発性半導体記憶装置500のパターンレイアウトを示す模式的平面図である。

【図17】不揮発性半導体記憶装置500におけるメモリセルのしきい値電圧分布図（複数メモリセル）である。

【符号の説明】

M14〜M44 メモリセル

WL1〜WL4 ワード線

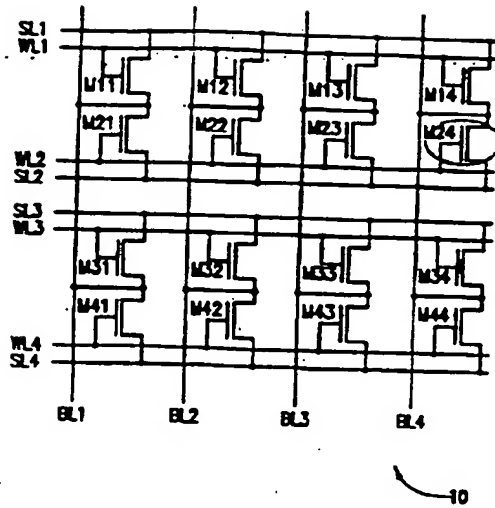
SL1〜SL4 ソース線

BL1〜BL4 ビット線

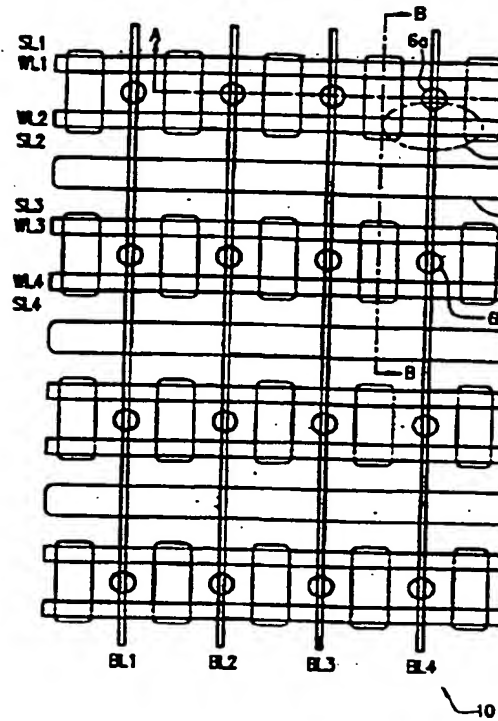
5、5X 希千分層領域

6a、6b ビット線コンタクト

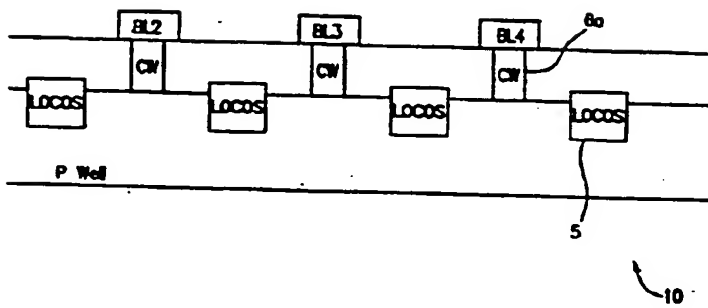
【図1】



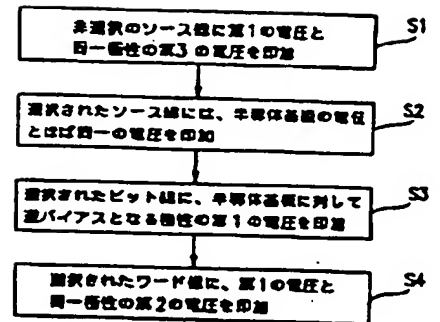
【図2】



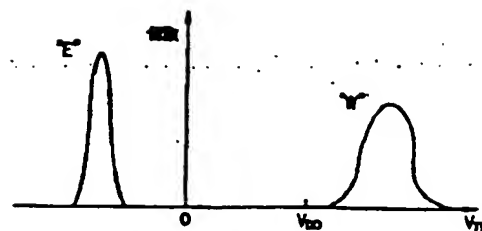
【図3】



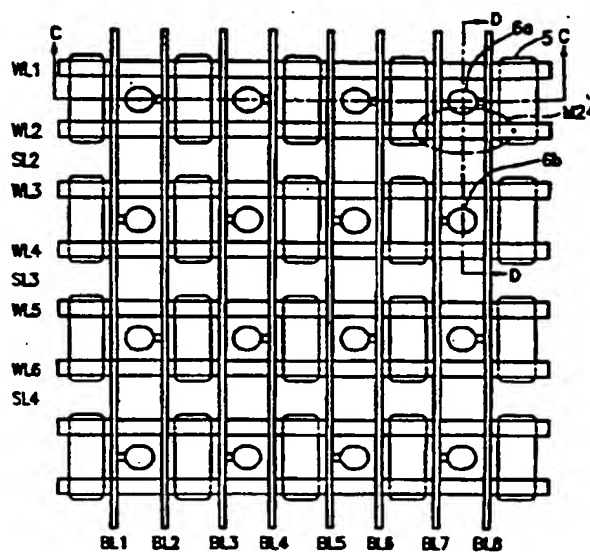
【図6】



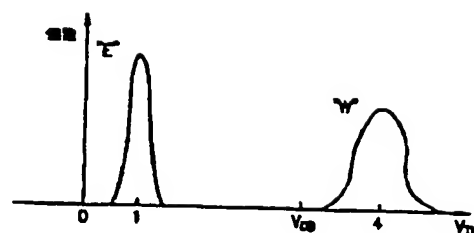
【图5】



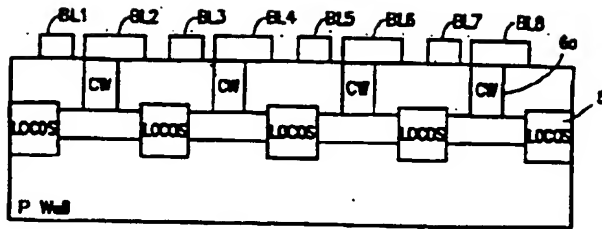
【圖8】



【图17】

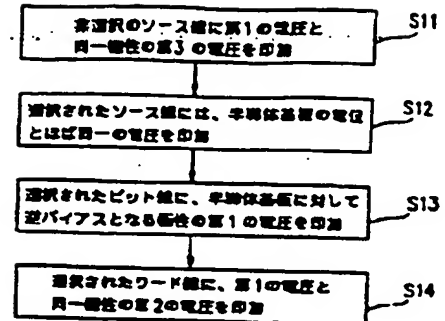


【図9】

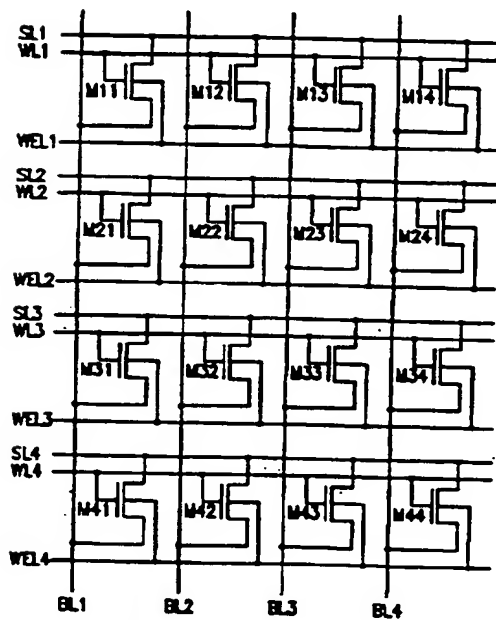


20

【図11】

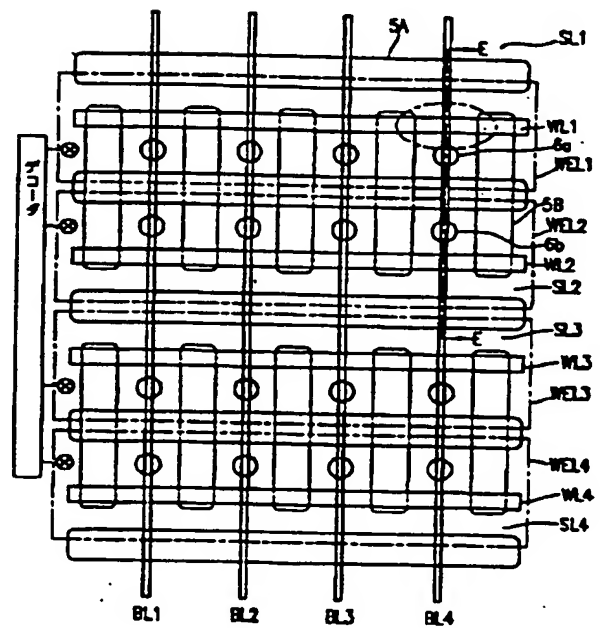


【図12】



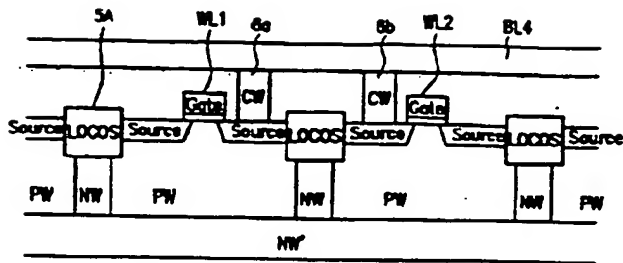
30

【図13】

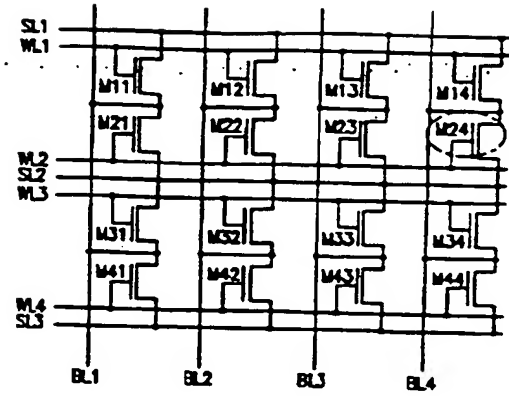


30

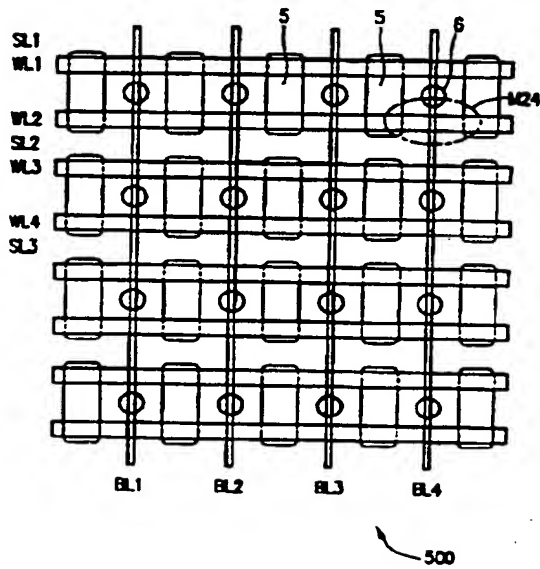
【図14】



【図15】



【図16】



フロントページの続き

(51) Int. Cl.⁶
H01L 29/792

識別記号

F 1